

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160682

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H03K 3/037

G01R 31/28

H03K 19/00

(21)Application number : 03-348256

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.12.1991

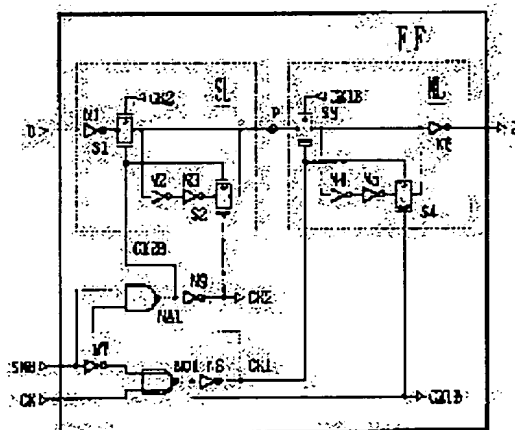
(72)Inventor : NOISSHIKI TAKAYUKI
MORI KAZUTAKA

(54) FLIP-FLOP

(57)Abstract:

PURPOSE: To expedite to make a fast logic integrated circuit device, etc., employing an LSSD system into low cost without impairing the speediness of the circuit by realizing a fast and low-cost edge trigger flip-flop provided with a data-through function.

CONSTITUTION: A slave latch SL is kept in a data transmitting state or a data holding state by a clock signal CK when an inversion internal control signal SMB is kept at a high level, and is kept in the data transmitting state stationarily when the signal SMB is kept at a low level. A master latch ML goes to the holding state or the transmitting state under a condition complementary with the slave latch SL when it is kept at the high level, and it goes to the transmitting state stationarily when it is kept at the low level. In an operating mode, a series circuit of those two latch circuits functions as the edge trigger flip-flop by setting the signal SMB at the high level, and in a diagnostic mode, it functions as a data through circuit by setting the signal SMB at the low level, thereby, it is possible to efficiently perform the test of the fast logic integrated circuit device, etc.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-160682 ✓

(43) 公開日 平成5年 (1993) 6月25日

(51) Int. Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 3/037	B	6928-3G	G 0 1 R 31/28	W
G 0 1 R 31/28				
H 0 3 K 19/00	B	6959-5 J		

審査請求 未請求 請求項の数4 (全 10 頁)

(21) 出願番号 特願平3-348256
(22) 出願日 平成3年 (1991) 12月4日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 野一色 孝行
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 森 和孝
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74) 代理人 弁理士 徳若 光政

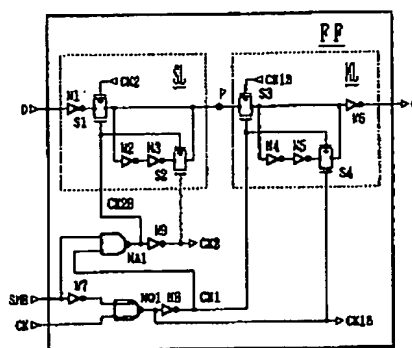
(54) 【発明の名称】 フリップフロップ

(57) 【要約】 (修正有)

【目的】 データスルー機能を備える高速かつ低コストのエッジトリガフリップフロップを実現する。これにより、LSSD方式を採る高速論理集積回路装置等の高速性を損なうことなくその低コスト化を推進する。

【要約】 スレーブラッチSLは、反転内部制御信号SMBがハイレベルのとき、クロック信号CKにより、データ伝達状態またはデータ保持状態となり、SMBがローレベルのとき、定常的にデータ伝達状態となる。マスターラッチMLは、SMBがハイレベルのとき、スレーブラッチSLと相補的な条件で、保持状態または伝達状態となり、SMBのローレベルでは定常的に伝達状態となる。動作モードでは、MSBをハイレベルにして、この二つのラッチ回路の直列回路を、エッジトリガフリップフロップとして機能させ、診断モードではSMBをローレベルにしてデータスルー回路とし、高速論理集積回路装置等のテストを効率的に実施できる。

図1 FF:エッジトリガフリップフロップ (本発明)



【特許請求の範囲】

【請求項1】 通常の動作モードにおいて所定のクロック信号に従って動作するエッジトリガフリップフロップとして機能し、所定のテストモードにおいて入力端子に供給される入力データを実質的にそのまま出力端子に伝達するデータスルー回路として機能することを特徴とするフリップフロップ。

【請求項2】 上記フリップフロップは、直列形態とされかつ通常の動作モードにおいて互いに相補的にデータ伝達状態又はデータ保持状態とされ上記テストモードにおいてともにデータ伝達状態とされる第1及び第2のラッチ回路を含むものであることを特徴とする請求項1のフリップフロップ。

【請求項3】 上記第1のラッチ回路は、上記テストモードにおいてあるいは上記クロック信号が第1の論理レベルとされるとき選択的に入力データを第1の内部ノードに伝達する第1のスイッチ手段と、上記第1のスイッチ手段がオフ状態とされるときその入出力ノードが上記第1の内部ノードに結合されるべく選択的にラッチ形態とされる第1及び第2の論理ゲート回路とを含むものであり、上記第2のラッチ回路は、上記テストモードにおいてあるいは上記クロック信号が第2の論理レベルとされるとき選択的に上記第1のラッチ回路の出力信号を第2の内部ノードに伝達する第2のスイッチ手段と、上記第2のスイッチ手段がオフ状態とされるときその入出力ノードが上記第1の内部ノードに結合されるべく選択的にラッチ形態とされる第3及び第4の論理ゲート回路とを含むものであることを特徴とする請求項2のフリップフロップ。

【請求項4】 上記フリップフロップは、LSSD方式を採用する高速論理集積回路装置に含まれるものであり、上記テストモードは、上記高速論理集積回路装置の診断モードであって、上記高速論理集積回路装置は、その入力側にスキャンインバスが設けられる第1の組合せ回路と、その出力側にスキャンアウトバスが設けられる第2の組合せ回路と、上記第1及び第2の組合せ回路間に設けられ上記フリップフロップからなるフリップフロップ群とを具備するものであることを特徴とする請求項1、請求項2又は請求項3のフリップフロップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、フリップフロップに関し、例えば、LSSD方式を採用する高速論理集積回路装置等に搭載されるエッジトリガフリップフロップに利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 所定の論理演算処理を行う組合せ回路と、組合せ回路の入力又は出力データを一時的に保持する複数のフリップフロップとが組み合わされてなる高速論理集積回路装置がある。また、このような高速論理集

積回路装置等において、組合せ回路の入力側又は出力側に設けられるフリップフロップをシリアルに結合し所定の診断データをスキャンイン又はスキャンアウトすることで、高速論理集積回路装置等のテスト及び診断を効率的に実施するLSSD (Level Sensitive Scan Design) 方式がある。

【0003】 LSSD方式を採用する高速論理集積回路装置等については、例えば、日経マクログロウヒル社発行の1979年4月16日付『日経エレクトロニクス』第57頁～第63頁に記載されている。

【0004】

【発明が解決しようとする課題】 従来、上記高速論理集積回路装置等における論理演算処理は複数相のクロック信号に従って制御されてきたが、その大規模化及び高速化にともなって、クロック信号の単相化が必須条件となりつつある。この場合、各組合せ回路の入力側又は出力側に設けられるフリップフロップとしては、単相クロック信号に適応しうるエッジトリガフリップフロップが用いられる。

【0005】 一方、LSSD方式を採用する高速論理集積回路装置等において、スキャンイン又はスキャンアウトバスを構成するフリップフロップは、所定のシフト機能をあわせ持つことが必要とされ、シフト機能を持たない通常のフリップフロップに比較してそのコストは割高となる。ところが、高速論理集積回路装置等では、搭載されるすべてのフリップフロップが診断に有効である訳ではなく、出来ればこれらのフリップフロップをスキャンイン又はスキャンアウトバスから外して、高速論理集積回路装置の低コスト化を図ることが望ましい。この場合、スキャンイン又はスキャンアウトバスに含まれないフリップフロップは、入力データをそのまま通過させて後段回路に伝達するいわゆるデータスルー機能を持つ必要があるが、従来の高速論理集積回路装置等に用いられるエッジトリガフリップフロップは、図8に例示されるように、このデータスルー機能を備えない。また、これらのエッジトリガフリップフロップをデータスルー機能を持つ他種のフリップフロップに置き換えようとすると、クロック信号の複数相化が条件となり、逆に高速論理集積回路装置の高速性が損なわれる。

【0006】 この発明の目的は、データスルー機能を備える高速かつ低コストのエッジトリガフリップフロップを提供することにある。この発明の他の目的は、LSSD方式を採用する高速論理集積回路装置等の高速性を損なうことなくその低コスト化を推進することにある。

【0007】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述ならびに添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次

の通りである。すなわち、エッジトリガフリップフロップを、直列形態とされかつ通常の動作モードにおいて互いに相補的にデータ伝達状態又はデータ保持状態とされ所定の診断モードにおいてともにデータ伝達状態とされる一対のスレーブラッチ及びマスターラッチによって構成する。

【0009】

【作用】上記手段によれば、比較的簡素な回路構成をもって、通常の動作モードにおいてエッジトリガフリップフロップとして機能し、所定の診断モードにおいてデータスルー回路として機能しうる高速かつ低コストのフリップフロップを実現できる。その結果、クロック信号の複数相化を必要とすることなく、診断に有効でないフリップフロップをスキャンイン又はスキャンアウトパスから外すことができるため、LSSD方式を採用高速論理集積回路装置等の高速性を損なうことなくその低コスト化を推進することができる。

【0010】

【実施例】図1には、この発明が適用されたエッジトリガフリップフロップFFの一実施例の回路図が示されている。同図をもとに、この実施例のエッジトリガフリップフロップFFの構成及び動作の概要について説明する。なお、この実施例のエッジトリガフリップフロップFFは、同様な多数のエッジトリガフリップフロップとともにLSSD方式を採用高速論理集積回路装置に搭載される。エッジトリガフリップフロップFFを構成する回路素子は、高速論理集積回路装置を構成する他の回路素子とともに、単結晶シリコンのような1個の半導体基板上に形成される。以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）はPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。なお、エッジトリガフリップフロップFFを構成するインバータ及びノア（NOR）ゲートならびにナンド（NAND）ゲートの具体的な回路構成については、図2ないし図4を参照されたい。

【0011】図1において、エッジトリガフリップフロップFFは、直列形態に設けられる一対のスレーブラッチSL（第1のラッチ回路）及びマスターラッチML（第2のラッチ回路）を備える。このうち、スレーブラッチSLは、Pチャンネル及びNチャンネルMOSFETが並列接続されてなるスイッチS1（第1のスイッチ手段）を含む。スイッチS1の入力ノードには、入力データDのインバータN1による反転信号が供給され、その出力ノードは、スレーブラッチSLの出力端子すなわち内部ノードP（第1の内部ノード）に結合されるとともに、インバータN2（第1の論理ゲート回路）の入力端子に結合される。スイッチS1を構成するNチャネ

ルMOSFETのゲートには、ナンドゲートNA1の出力信号すなわち反転内部クロック信号CK2B（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号については、その名称の末尾にBを付して表す。以下同様）が供給され、PチャンネルMOSFETのゲートには、反転内部クロック信号CK2BのインバータN9による反転信号つまり内部クロック信号CK2が供給される。これにより、スイッチS1は、内部クロック信号CK2が論理“0”（ここで、その非反転信号がロウレベルとされその反転信号がハイレベルとされる状態を論理“0”と称し、逆の状態を論理“1”と称する。以下同様）とされるとき選択的にオン状態とされ、入力データDの反転信号を内部ノードP及びインバータN2の入力端子に伝達する。

【0012】ナンドゲートNA1の一方の入力端子には、高速論理集積回路装置の図示されない制御回路から所定の反転内部制御信号SMBが供給され、その他方の入力端子には、ノアゲートNO1の出力信号すなわち反転内部クロック信号CK1BのインバータN8による反転信号つまり内部クロック信号CK1が供給される。また、ノアゲートNO1の一方の入力端子には、上記反転内部制御信号SMBのインバータN7による反転信号が供給され、その他方の入力端子にはクロック信号CKが供給される。ここで、クロック信号CKは、後述するように、所定の周期を持つパルス信号とされ、反転内部制御信号SMBは、高速論理集積回路装置が所定の診断モードとされるとき選択的にロウレベルとされる。

【0013】これらの結果、内部クロック信号CK1は、高速論理集積回路装置が通常の動作モードとされ反転内部制御信号SMBがハイレベルとされるとき、クロック信号CKに従ったパルス信号とされ、高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされるとき、ハイレベルに固定される。同様に、内部クロック信号CK2は、高速論理集積回路装置が通常の動作モードとされ反転内部制御信号SMBがハイレベルとされるとき、クロック信号CKに従ったパルス信号とされ、高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされるとき、ロウレベルに固定される。言うまでもなく、反転内部クロック信号CK1B及びCK2Bは、内部クロック信号CK1又はCK2の相補信号とされる。また、以上のことから、スレーブラッチSLを構成するスイッチS1は、高速論理集積回路装置が通常の動作モードとされるとき、クロック信号CKが論理“0”とされることを条件に選択的にオン状態とされ、高速論理集積回路装置が所定の診断モードとされるとき、定常的にオン状態とされるものとなる。

【0014】スレーブラッチSLは、さらに、インバータN2の出力信号を受けるインバータN3（第2の論理ゲート回路）を含む。インバータN3の出力端子は、ス

5

スイッチS2を介して内部ノードPに結合される。スイッチS2を構成するNチャンネルMOSFETのゲートには、内部クロック信号CK2が供給され、PチャンネルMOSFETのゲートには、反転内部クロック信号CK2Bが供給される。その結果、スイッチS2は、内部クロック信号CK2が論理“1”とされるとき、言い換えるならば、高速論理集積回路装置が通常の動作モードとされかつクロック信号CKが論理“1”（第1の論理レベル）とされるとき選択的にオン状態とされ、これによってインバータN2及びN3がラッチ形態とされる。なお、高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされるとき、スイッチS2は定常的にオフ状態とされる。

【0015】つまり、スレーブラッチSLは、高速論理集積回路装置が通常の動作モードとされるとき、クロック信号CKの論理“0”を受けてデータ伝達状態とされ、入力データDを反転して内部ノードPに伝達するとともに、クロック信号CKの論理“1”を受けてデータ保持状態とされ、入力データDの直前の論理レベルを保持する。高速論理集積回路装置が所定の診断モードとされるとき、スレーブラッチSLは定常的にデータ伝達状態とされる。

【0016】次に、マスターラッチMLは、同様にPチャンネル及びNチャンネルMOSFETが並列接続されてなるスイッチS3（第2のスイッチ手段）を含む。スイッチS3の入力ノードは、内部ノードPに結合され、その出力ノードは、インバータN6の入力端子（第2の内部ノード）に結合されるとともに、インバータN4

（第3の論理ゲート回路）の入力端子に結合される。インバータN6の出力端子は、マスターラッチMLの出力端子つまりはエッジトリガフリップフロップの出力端子Qに結合される。スイッチS3を構成するNチャンネルMOSFETのゲートには、上記内部クロック信号CK1が供給され、PチャンネルMOSFETのゲートには、反転内部クロック信号CK1Bが供給される。これにより、スイッチS3は、内部クロック信号CK1が論理“1”とされるとき選択的にオン状態とされ、スレーブラッチSLの出力信号すなわち内部ノードPの電位をインバータN4及びN6の入力端子に伝達する。

【0017】マスターラッチMLは、さらに、インバータN4の出力信号を受けるインバータN5（第4の論理ゲート回路）を含む。インバータN5の出力端子は、スイッチS4を介してインバータN6の入力端子に結合される。スイッチS4を構成するNチャンネルMOSFETのゲートには、反転内部クロック信号CK1Bが供給され、PチャンネルMOSFETのゲートには、内部クロック信号CK1が供給される。これにより、スイッチS4は、内部クロック信号CK1が論理“0”とされるとき、言い換えるならば、高速論理集積回路装置が通常の動作モードとされかつクロック信号CKが論理“0”

6

（第2の論理レベル）とされるとき選択的にオン状態とされ、これによってインバータN4及びN5がラッチ形態とされる。高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされるとき、スイッチS4は定常的にオフ状態とされる。

【0018】このように、マスターラッチMLは、高速論理集積回路装置が通常の動作モードとされるとき、スレーブラッチSLと相補的な条件で、つまりクロック信号CKの論理“1”を受けてデータ伝達状態とされ、スレーブラッチSLの出力端子すなわち内部ノードPの電位を反転してエッジトリガフリップフロップの出力端子Qに伝達する。また、クロック信号CKの論理“0”を受けてデータ保持状態とされ、出力信号Qの直前の論理レベルを保持する。高速論理集積回路装置が所定の診断モードとされるとき、マスターラッチMLは、スレーブラッチSLとともに定常的にデータ伝達状態とされる。

【0019】図5には、図1のエッジトリガフリップフロップFFの真理値図が示され、図6には、その信号波形図が示されている。これらの図をもとに、この実施例のエッジトリガフリップフロップの動作とその特徴について説明する。

【0020】高速論理集積回路装置が通常の動作モードとされるとき、反転内部制御信号SMBは、前述のように、ハイレベル（H）とされ、内部クロック信号CK1（ここで、内部クロック信号CK1をもって非反転内部クロック信号CK1及び反転内部クロック信号CK1Bを代表する。以下同様）及びCK2は、図6に示されるように、クロック信号CKに従ったパルス信号とされる。入力データDは、図5に示されるように、内部クロック信号CK2が論理“0”つまりクロック信号CKがロウレベル（L）とされる間、内部ノードPに反転されて伝達され、内部クロック信号CK2が論理“1”つまりクロック信号CKがハイレベルとされる間、内部ノードPの直前における論理レベルPn-1がスレーブラッチSLによって保持される。すなわち、スレーブラッチSLの出力端子すなわち内部ノードPにおける論理レベルは、クロック信号CKがロウレベルとされる間、入力データDに従って変化されるが、クロック信号CKがハイレベルとされるとその立ち上がりエッジにおける論理レベルを保持する形で固定される。

【0021】一方、内部ノードPの論理レベルPn-1は、内部クロック信号CK1が論理“1”つまりクロック信号CKがハイレベルとされる間、エッジトリガフリップフロップの出力端子Qに反転されて伝達され、内部クロック信号CK1が論理“0”つまりクロック信号CKがロウレベルとされる間、その直前における論理レベルQn-1がマスターラッチMLによって保持される。これらの結果、マスターラッチMLの出力端子すなわちエッジトリガフリップフロップFFの出力端子Qにおける論理レベルは、クロック信号CKの立ち上がりエッジ

において入力データDに従って変化されるが、クロック信号CKがハイレベル又はロウレベルとされた後は、クロック信号CKの立ち上がりエッジにおける入力データDの論理レベルを保持する形で固定される。これにより、図1のフリップフロップFF1は、高速論理集積回路装置が通常の動作モードとされ反転内部制御信号SMBがハイレベルとされることを条件に、クロック信号CKの立ち上がりエッジにおいて状態遷移されるエッジトリガフリップフロップとして機能する。このとき、クロック信号CKが論理“1”とされてからエッジトリガフリップフロップの出力信号Qの論理レベルが確定されるまでのいわゆる信号伝達遅延時間は、インバータN6による伝達遅延時間のみとなり、これによってエッジトリガフリップフロップFFの動作が極めて高速化されるものとなる。

【0022】次に、高速論理集積回路装置が所定の診断モードとされると、反転内部制御信号SMBは、前述のように、ロウレベルとされる。このため、内部クロック信号CK1は、図6に示されるように、クロック信号CKに関係なく論理“0”に固定され、内部クロック信号CK2は論理“1”に固定される。したがって、スレーブラッチSLでは、スイッチS1が定常的にオン状態とされ、スイッチS2は定常的にオフ状態とされる。また、マスターラッチMLでは、スイッチS3が定常的にオン状態とされ、スイッチS4が定常的にオフ状態とされる。その結果、入力データDは、クロック信号によることなく、実質的にそのままフリップフロップFFの出力端子Qに伝達される。つまり、図1のフリップフロップFFは、高速論理集積回路装置が通常の動作モードとされるときエッジトリガフリップフロップとして機能し、高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされる間、データスルー回路として機能し、入力データDをそのままその出力端子に伝達するものとなる。図1から明らかなように、フリップフロップFFは、データスルー機能を有し高速動作可能な割には比較的簡素な回路構成とされ、比較的低コストなものとなる。

【0023】図7には、図1のエッジトリガフリップフロップを用いた論理演算回路LCの一実施例の回路ブロック図が示されている。同図をもとに、この実施例のエッジトリガフリップフロップの利用方法とLSSD方式の概要を説明する。

【0024】図7において、この実施例の論理演算回路LCは、特に制限されないが、2個の組合せ回路CB1（第1の組合せ回路）及びCB2（第2の組合せ回路）を含む。これらの組合せ回路は、それぞれ複数の論理ゲート回路によって構成され、所定の論理演算処理を実行する。組合せ回路CB1の入力側には、4個のフリップフロップSFF1～SFF4が設けられ、組合せ回路CB2の出力側には、4個のフリップフロップSFF5～

SFF8が設けられる。これらのフリップフロップSFF1～SFF8は、LSSD方式を実現するためのシフト機能を備え、比較的複雑な回路構成とされる。

【0025】フリップフロップSFF1～SFF4のデータ入力端子Dには、高速論理集積回路装置の図示されない前段回路から対応する入力データD1～D4がそれぞれ供給され、その出力信号Qは、組合せ回路CB1の対応する入力端子にそれぞれ供給される。一方、フリップフロップSFF1の診断用データ入力端子Sには、高速論理集積回路装置の図示されない試験回路を介してスキャンインデータSIDが供給され、その診断用出力端子QSは、フリップフロップSFF2の診断用データ入力端子Sに結合される。同様に、フリップフロップSFF2～SFF3の診断用出力端子QSは、次段のフリップフロップSFF3～SFF4の診断用データ入力端子Sに順次結合され、最終段のフリップフロップSFF4の診断用出力端子QS（QS4）は、例えばフリップフロップSFF5の診断用入力端子Sに結合される。あるいは、スキャンアウトデータSODとして後段回路から出力させるようにしてもよい。フリップフロップSFF1～SFF4のクロック入力端子CKには、クロック信号CKが共通に供給され、診断用クロック入力端子Cには、所定のシフトクロック信号SCKが共通に供給される。各フリップフロップの制御端子SMBには、所定の診断モードにおいて選択的にロウレベルとされる反転内部制御信号SMBが共通に供給される。

【0026】次に、フリップフロップSFF5～SFF8のデータ入力端子Dには、組合せ回路CB2から対応する出力信号がそれぞれ供給され、その出力信号Qは、論理演算回路LCの出力データQ1～Q4として高速論理集積回路装置の図示されない後段回路に供給される。一方、フリップフロップSFF5の診断用データ入力端子Sは、例えばフリップフロップSFF4の診断用出力端子QS（QS4）に結合され、その診断用出力端子QSは、フリップフロップSFF6の診断用データ入力端子Sに結合される。あるいは、上記フリップフロップSFF5の診断用データ入力端子Sは、フリップフロップSFF1の診断用データ入力端子Sのように、スキャンインデータが入力されるようにしてもよい。同様に、フリップフロップSFF6～SFF7の診断用出力端子QSは、次段のフリップフロップSFF7～SFF8の診断用データ入力端子Sに順次結合され、最終段のフリップフロップSFF8の診断用出力信号QSは、スキャンアウトデータSODとして図示されない後段回路に供給される。フリップフロップSFF5～SFF8のクロック入力端子CKには、クロック信号CKが共通に供給され、診断用クロック入力端子Cには、シフトクロック信号SCKが共通に供給される。各フリップフロップの制御端子SMBには、上記反転内部制御信号SMBが共通に供給される。

【0027】この実施例の論理演算回路LCは、さらに、組合せ回路CB1及びCB2間に設けられ4個のフリップフロップFF1～FF4からなるフリップフロップ群を含む。この実施例において、フリップフロップFF1～FF4は、高速論理集積回路装置の診断に与える有効性が少なく、スキャンイン又はスキャンアウトパスには含まれない。このため、これらのフリップフロップは、すべて前記図1のエッジトリガフリップフロップFFによって構成される。フリップフロップFF1～FF4のデータ入力端子Dには、組合せ回路CB1の対応する出力信号が供給され、その出力端子Qは、組合せ回路CB2の対応する入力端子にそれぞれ結合される。また、各フリップフロップの制御端子SMBには、上記反転内部制御信号SMBが共通に供給され、そのクロック入力端子CKには、上記クロック信号CKが共通に供給される。

【0028】高速論理集積回路装置が通常動作モードとされ反転内部制御信号SMBがハイレベルとされるとき、フリップフロップSFF1～SFF4は、エッジトリガフリップフロップとして機能し、対応する入力データD1～D4をクロック信号CKの立ち上がりエッジにおいて取り込み、組合せ回路CB1に伝達する。同様に、フリップフロップSFF5～SFF8も、エッジトリガフリップフロップとして機能し、組合せ回路CB2の対応する出力信号をクロック信号CKの立ち上がりエッジにおいて取り込み、論理演算回路LCの出力データQ1～Q4として後段回路に出力する。このとき、フリップフロップFF1～FF4は、やはりエッジトリガフリップフロップとして機能し、組合せ回路CB1の対応する出力信号をクロック信号CKの立ち上がりエッジにおいて取り込み、組合せ回路CB2の対応する入力端子にそれぞれ伝達する。

【0029】一方、高速論理集積回路装置が所定の診断モードとされ反転内部制御信号SMBがロウレベルとされるとき、フリップフロップSFF1～SFF4はシフトレジスタ形態となっており、スキャンインパスを構成し、スキャンインデータSIDとして供給される診断データを診断用クロック信号SCKに従って順次取り込み、組合せ回路CB1に伝達する。同様に、フリップフロップSFF5～SFF8はシフトレジスタ形態となっており、スキャンアウトパスを構成し、組合せ回路CB2の出力信号を診断用クロック信号SCKに従って順次伝達し、スキャンアウトデータSODとして図示されない試験回路に出力する。このとき、フリップフロップFF1～FF4はデータスルー回路として機能し、組合せ回路CB1の出力信号をそのまま組合せ回路CB2に伝達する。

【0030】これらの結果、この実施例の高速論理集積回路装置では、組合せ回路CB1及びCB2間にフリップフロップFF1～FF4からなるフリップフロップ群

が設けられるにもかかわらず、所定の診断データをスキャンインデータSIDとしてシリアルに論理演算回路LCに入力し、その演算結果をスキャンアウトデータSODとしてシリアルに出力して、組合せ回路CB1及びCB2の正常性を的確にかつ効率良く確認することができる。このとき、フリップフロップFF1～FF4は、スキャンイン又はスキャンアウトパスに含まれず、データスルー回路として機能する。前述のように、フリップフロップFF1～FF4を構成するエッジトリガフリップフロップは、データスルー機能を備えるにもかかわらず、比較的簡素な回路構成とされ、低コスト化されるとともに、高速動作しうるものとされる。その結果、この実施例の高速論理集積回路装置は、高速性を損なわれることなくその低コスト化が推進されるものとなる。

【0031】以上の本実施例に示されるように、この発明をLSSD方式を採用する高速論理集積回路装置等に搭載されるエッジトリガフリップフロップに適用することで、次のような作用効果が得られる。すなわち、

(1) 高速論理集積回路装置等に搭載されるエッジトリガフリップフロップを、直列形態とされかつ通常動作モードにおいて互いに相補的にデータ伝達状態又はデータ保持状態とされ所定の診断モードにおいてともにデータ伝達状態とされる一対のスレーブラッチ及びマスターラッチによって構成することで、比較的簡素な回路構成をもって、通常動作モードにおいてエッジトリガフリップフロップとして機能し、所定の診断モードにおいてデータスルー回路として機能しうる高速かつ低コストのフリップフロップを実現できるという効果が得られる。

(2) 上記(1)項により、クロック信号の複数相化を必要とすることなく、診断に有効でないエッジトリガフリップフロップをスキャンイン又はスキャンアウトパスから外することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、LSSD方式を採用する高速論理集積回路装置等の高速性を損なうことなく、その低コスト化を推進することができるという効果が得られる。

【0032】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、Pチャンネル及びNチャンネルMOSFETからなるスイッチS1～S4は、いずれか一方のMOSFETで構成してもよいし、その他のスイッチ手段を用いることもできる。また、スレーブラッチSL及びマスターラッチMLを構成するインバータN2及びN3ならびにN4及びN5は、例えばナンドゲートやノアゲート等のような他種の論理ゲート回路を用いることができる。内部クロック信号CK1及びCK2を形成するためのナンドゲートNA1、ノアゲートNO1ならびにインバータN7～N9は、複数のフリップフロップに

共通に設けることができるし、その論理構成もこの実施例による制約を受けない。スレーブラッチSL及びマスターラッチMLは、通常の動作モードにおいて互いに相補的にデータ伝達状態又はデータ保持とされ、診断モードにおいてともにデータ伝達状態とされることを条件に、任意の回路構成を採ることができる。図6において、クロック信号CK及び反転内部制御信号SMB等の論理レベルならびにこれらの信号の論理的組み合わせ等は、種々の実施形態を採りうる。図7において、論理演算回路LCに設けられる組合せ回路ならびにフリップフロップの数は、任意に設定できる。また、反転内部制御信号SMBは、診断モードではない他のテストモードにおいて選択的にロウレベルとすることができるし、論理演算回路LCの具体的な構成もこの実施例による制約を受けない。

【0033】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である高速論理集積回路装置に含まれるエッジトリガフリップフロップに適用した場合について説明したが、それに限定されるものではなく、例えば、汎用のゲートアレイ集積回路や各種の半導体記憶装置等に含まれる同様なフリップフロップにも適用できる。この発明は、少なくともLSSD方式に適用しうることを必要条件とされるエッジトリガフリップフロップならびにこのようなフリップフロップを含む半導体装置に広く適用できる。

【0034】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、高速論理集積回路装置等に搭載されるエッジトリガフリップフロップを、直列形態とされかつ通常の動作モードにおいて互いに相補的にデータ伝達状態又はデータ保持状態とされ所定の診断モードにおいてともにデータ伝達状態とされる一対のスレーブラッチ及びマスターラッチによって構成することで、比較的簡素な回路構成をもって、通常の動作モードにおいてエッジトリガフリップフロップとして機能し、所定

の診断モードにおいてデータスルー回路として機能しうる高速かつ低コストのフリップフロップを実現できる。その結果、クロック信号の複数相化を必要とすることなく、診断に有効でないエッジトリガフリップフロップをスキャンイン又はスキャンアウトバスから外することができるため、LSSD方式を採る高速論理集積回路装置等の高速性を損なうことなくその低コスト化を推進できる。

【図面の簡単な説明】

10 【図1】この発明が適用されたエッジトリガフリップフロップの一実施例を示す回路図である。

【図2】図1のエッジトリガフリップフロップに含まれるインバータの一実施例を示す回路図である。

【図3】図1のエッジトリガフリップフロップに含まれるノアゲートの一実施例を示す回路図である。

【図4】図1のエッジトリガフリップフロップに含まれるナンドゲートの一実施例を示す回路図である。

【図5】図1のエッジトリガフリップフロップの真理値図である。

20 【図6】図1のエッジトリガフリップフロップの一実施例を示す信号波形図である。

【図7】図1のエッジトリガフリップフロップを用いた論理演算回路の一実施例を示す回路ブロック図である。

【図8】従来のエッジトリガフリップフロップの一例を示す回路図である。

【符号の説明】

FF・・・エッジトリガフリップフロップ、SL・・・スレーブラッチ、ML・・・マスターラッチ、S1～S4・・・スイッチ、LC・・・論理演算回路、FF1～FF4・・・エッジトリガフリップフロップ、SFF1～SFF8・・・シフト機能付エッジトリガフリップフロップ、CB1～CB2・・・組合せ回路、N1～N11・・・インバータ、NO1・・・ノア(NOR)ゲート、NA1～NA7・・・ナンド(NAND)ゲート、Q1～Q5・・・PチャンネルMOSFET、Q11～Q15・・・NチャンネルMOSFET。

【図2】

図2

N1:インバータ

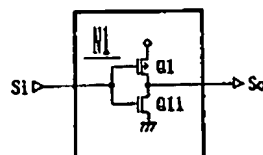
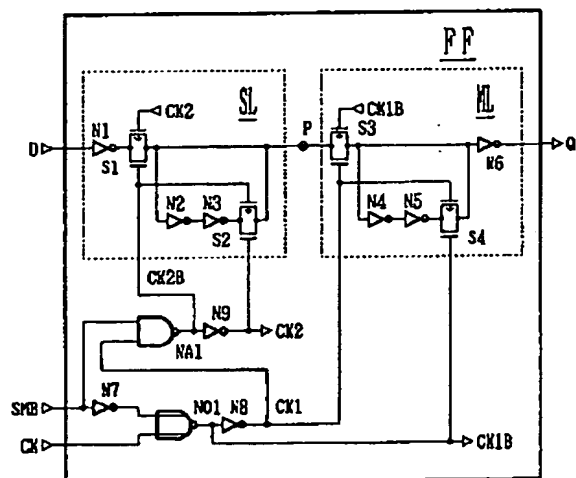


図1 FF:エッジトリガフリップフロップ (本発明)



NO1:ノアゲート

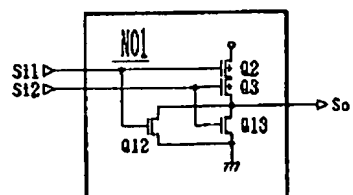
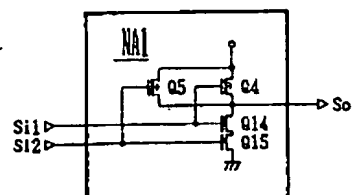


図4 NA1:ナンドゲート



【図5】

図5

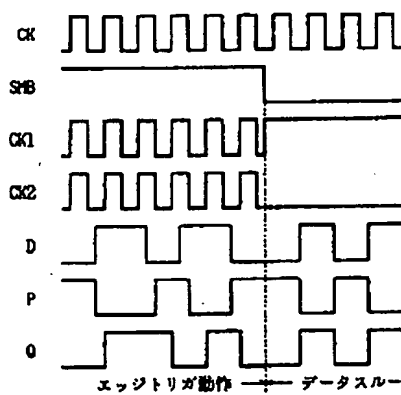
FF真理値図

入 力			内 部 ノード P	出 力 Q	状態
SMB	CK	D			
H	H	—	P_{n-1}	$\overline{P_{n-1}}$	データ保持
	L	H	L	Q_{n-1}	
		L	H	$\overline{Q_{n-1}}$	
	↗	H	L	H	データ入力
		L	H	L	
L	—	H	L	H	データスループ
		L	H	L	

【図6】

図6

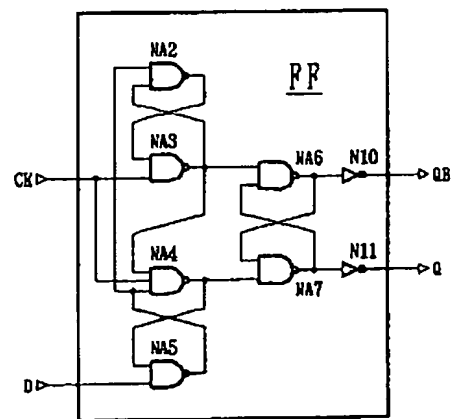
FF信号波形図



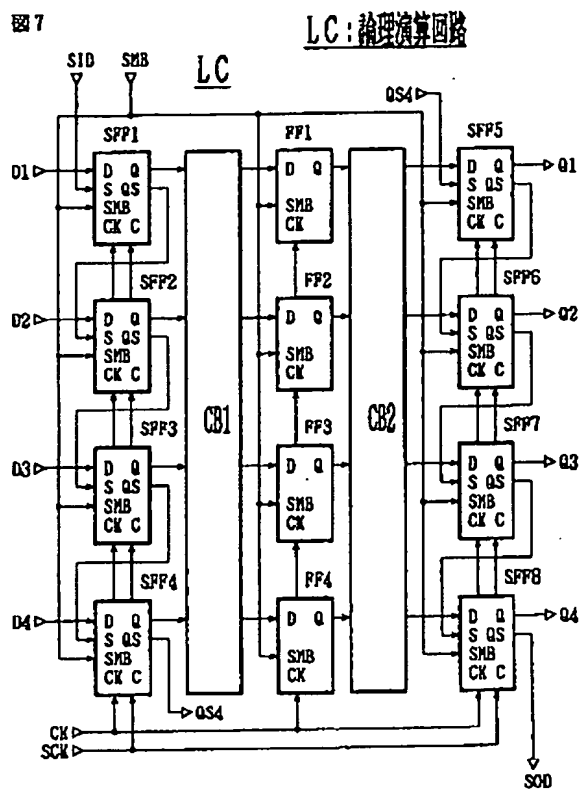
【図8】

図8

FF: エッジトリガフリップフロップ



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.